



FIȘA DISCIPLINEI
ANUL UNIVERSITAR 2025 – 2026

1. Date despre program

1.1. Instituția de învățământ superior	UNIVERSITATEA DIN CRAIOVA
1.2. Facultatea	Automatică, Calculatoare și Electronică
1.3. Departamentul	Calculatoare și Tehnologia Informației
1.4. Domeniul de studii	Calculatoare și Tehnologia Informației
1.5. Ciclul de studii universitare	Licență
1.6. Forma de organizare	IF
1.7. Programul de studii	Calculatoare / L2060101010

2. Date despre disciplină

2.1. Denumirea disciplinei	Proiectare logică II						
2.2. Titularul activităților de curs	Dumitrașcu Eugen						
2.3. Titularul activităților de seminar/ laborator	Petcușin Felix Alin						
2.4. Anul de studiu	1	2.5. Semestrul	2	2.6. Tipul de evaluare	E	2.7. Regimul disciplinei	DOB

3. Timpul total estimat (ore pe semestru a activităților didactice)

3.1. Numărul de ore pe săptămână	5	din care: 3.2 curs	2	3.3. sem./lab./pr.	1/2/0
3.4. Total ore din planul de învățământ	70	din care: 3.5 curs	28	3.6. sem./lab./pr.	14/28/0
Distribuția fondului de timp - ore/sapt.					
Studiul după manual, suport de curs, bibliografie și notițe					28
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren					9
Pregătire seminarii/laboratoare, teme, referate, portofolii și eseuri					14
Tutoriat					0
Examinări					2
Alte activități: consultații, evaluări teme de casă					2
3.7. Total ore studiu individual					55
3.8. Total ore pe semestru					125
3.9. Numărul de credite					5

4. Precondiții (acolo unde este cazul)

4.1. de curriculum	• Proiectare Logică I, Informatică aplicată
4.2. de competențe	• Proiectarea logică a SLC; Modelarea și sinteza cu VHDL

5. Condiții (acolo unde este cazul)

5.1. de desfășurare a cursului	• Cursul este prezentat în Power Point cu un video proiector iar anumite exemple sunt detaliate pe tabla din sala de curs.
5.2. de desfășurare a seminarului/ laboratorului	• Seminarul prezintă exemple rezolvate folosind un video proiector iar alte exemple se prezintă pe tabla din sala de seminar. • Laboratoarele se desfășoară în sala special amenajată pentru disciplinele Hardware. Lucrările de laborator se realizează în VHDL folosind Xilinx cu Modelsim.

6. Obiectivele disciplinei - rezultate așteptate ale învățării la formarea cărora contribuie parcurgerea și promovarea disciplinei

Cunoștințe	Studentul/Absolventul: 1. Descrie, identifică, sumarizează concepte și metode elementare referitoare la proiectarea logică a sistemelor digitale și modul lor de aplicare în probleme concrete. 2. Identifică metode clasice și moderne de proiectare logică a sistemelor digitale.
Aptitudini (Abilități)	Studentul/Absolventul: 1. Utilizează metode specifice de simulare a circuitelor logice combinaționale și secvențiale. 2. Analizează sistemele utilizând teoriile studiate și proiectează, implementează și simulează sisteme digitale. 3. Utilizează teorii și instrumente specifice (aplicații, modele, protocoale etc.) pentru analiza, simularea, proiectarea și implementarea sistemelor digitale.
Responsabilitate și autonomie	Studentul/Absolventul: 1. Derulează procese din proiectarea sistemelor digitale, cu preluarea diferitelor roluri în echipă și descrierea clară și concisă, verbal și în scris, a rezultatelor. 2. Aplică valorile etice și deontologice ale profesiei de inginer, practică raționamentul logic, evaluarea și autoevaluarea în luarea deciziilor. 3. Are un comportament onorabil, responsabil, etic, în spiritul legii pentru a asigura reputația profesiei.

7. Conținuturi

7.1. CURS	Modalitatea de desfășurare	Metode de predare	Fond de timp alocat (ore)
1. Introducere în VHDL	față în față	Prezentarea cursului cu ajutorul Power Point	2
2. Instrucțiuni VHDL	față în față	Prezentarea cursului cu ajutorul Power Point	2
3. Sinteza circuitelor logice combinaționale folosind VHDL	față în față	Prezentarea cursului cu ajutorul Power Point	4
4. Circuite logice secvențiale	față în față	Prezentarea cursului cu ajutorul Power Point	2
5. Circuite logice secvențiale tipizate (registre, numărătoare)	față în față	Prezentarea cursului cu ajutorul Power Point	4
6. Circuite logice programabile	față în față	Prezentarea cursului cu ajutorul Power Point	4
7. Dispozitive de memorie	față în față	Prezentarea cursului cu ajutorul Power Point	2
8. Sinteza clasică a MS cu stare finită.	față în față	Prezentarea cursului cu ajutorul Power Point	4
9. Sinteza sistemelor digitale	față în față	Prezentarea cursului cu ajutorul Power Point	4
Bibliografie:			
1. Ionescu Augustin-Iulian, Dumitrașcu Eugen, Lemeni Ioan - <i>Introducere în analiza și sinteza sistemelor digitale – vol. II</i> , Editura Universitaria, Craiova, 2010			
2. Ionescu Augustin-Iulian, Dumitrașcu Eugen – <i>Analiza și sinteza sistemelor digitale (ghid de laborator)</i> – Editura Universitaria, Craiova, 2008			

3. Ionescu Augustin-Iulian, Dumitrașcu Eugen, Neațu Adrian-Gabriel – <i>Digital Systems Analysis and Synthesis - laboratory guide</i> , Editura Universitaria, Craiova, 2009
4. Cernian Oleg - <i>Logical Design of Digital Computers; Fundamentals</i> , Editura Sitech, Craiova, 2005
5. Mark Zwolinski – <i>Digital System Design with VHDL – Second Edition</i> , Pearson Education Limited 2004
6. Neal S, Widmer, Gregory L. Moss, Ronald J. Tocci - <i>Digital Systems Principles and Applications – TWELFTH EDITION</i> , Pearson Education Limited 2018.

7.2. Seminar/laborator/proiect	Modalitatea de desfășurare	Metode de predare	Fond de timp alocat (ore)
Seminar			
1. Modelarea schemelor logice combinaționale cu VHDL	față în față	Prezentarea și rezolvarea de probleme implementate în VHDL pentru SLC	2
2. Modelarea schemelor logice secvențiale	față în față	Prezentarea și rezolvarea probleme pentru modelarea SLS	2
3. Registre și numărătoare	față în față	Prezentarea și rezolvarea probleme cu registre și numărătoare	2
4. Utilizarea memoriilor în proiectarea logică	față în față	Prezentarea și rezolvarea probleme cu memorii PROM	2
5. Sinteza și analiza în spațiul stărilor a SLS	față în față	Prezentarea și rezolvarea probleme cu SLS	4
6. Modelarea și sinteza SLS folosind diagrame ASM	față în față	Prezentarea și rezolvarea probleme cu SLS folosind ASM	2
Laborator			
1. Introducere în modelarea VHDL și mediul XILINX ISE 9.2	față în față	Modelarea si simularea cu ajutorul XILINX 9.2i și Modelsim	2
2. Modelarea, sinteza și simularea multiplexoarelor logice folosind VHDL	față în față	Modelarea si simularea unor scheme logice combinaționale cu ajutorul XILINX 9.2i și Modelsim	2
3. Modelarea, sinteza și simularea decodificatoarelor și demultiplexoarelor logice folosind VHDL	față în față	Modelarea si simularea unor scheme logice combinaționale cu ajutorul XILINX 9.2i și Modelsim	2
4. Modelarea, sinteza și simularea sumatoarelor binare folosind VHDL	față în față	Modelarea si simularea unor scheme logice combinaționale cu ajutorul XILINX 9.2i și Modelsim	2
5. Modelarea, sinteza și simularea codificatoarelor de	față în față	Modelarea si simularea unor scheme logice combinaționale cu	2

prioritate, generatoarelor de bit de paritate și complementatoarelor binare folosind VHDL		ajutorul XILINX 9.2i și Modelsim	
6. Modelarea, sinteza și simularea circuitelor bistabile basculante folosind VHDL	față în față	Modelarea și simularea unor scheme logice secvențiale cu ajutorul XILINX 9.2i și Modelsim	2
7. Modelarea, sinteza și simularea registrelor folosind VHDL	față în față	Modelarea și simularea unor scheme logice secvențiale cu ajutorul XILINX 9.2i și Modelsim	4
8. Modelarea, sinteza și simularea numărătoarelor și divizoarelor de frecvență folosind VHDL	față în față	Modelarea și simularea unor scheme logice secvențiale cu ajutorul XILINX 9.2i și Modelsim	2
9. Modelarea, sinteza și simularea memoriilor ROM folosind VHDL	față în față	Modelarea și simularea unor memorii ROM cu ajutorul XILINX 9.2i și Modelsim	2
10. Modelarea, sinteza și simularea mașinilor secvențiale cu stare finită folosind VHDL	față în față	Modelarea și simularea unor mașini secvențiale cu ajutorul XILINX 9.2i și Modelsim	4
11. Modelarea, sinteza și simularea diagramelor ASM folosind VHDL	față în față	Modelarea și simularea unor mașini secvențiale descrise prin ASM cu ajutorul XILINX 9.2i și Modelsim	2
12. Recuperări de laboratoare	față în față		2
Bibliografie:			
1. Ionescu Augustin-Iulian, Dumitrașcu Eugen – <i>Analiza și sinteza sistemelor digitale (ghid de laborator)</i> – Editura Universitaria, Craiova, 2008			

8. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatori reprezentativi din domeniul aferent programului

Conținuturile disciplinei *Proiectare logică II* sunt corelate cu cerințele actuale ale comunității academice și profesionale din domeniul ingineriei calculatoarelor, prin accentul pus pe:

- utilizarea limbajului VHDL pentru descrierea și sinteza circuitelor digitale.
- conținuturile corespund așteptărilor angajatorilor din domeniile proiectării de circuite integrate, FPGA și sisteme embedded, unde este necesară stăpânirea instrumentelor moderne de sinteză și simulare a circuitelor logice combinaționale și secvențiale, precum și înțelegerea arhitecturii și funcționării dispozitivelor logice programabile și a mașinilor cu stare finită.

9. Evaluare

Tip activitate	9.1. Criterii de evaluare	9.2. Metode de evaluare	9.3. Pondere din nota finală
----------------	---------------------------	-------------------------	------------------------------

9.4. Curs	Rezolvarea corectă a trei probleme	Examen scris Quiz-uri periodice la curs	70% Bonus de 10% (maxim 1 punct la nota finală)
9.5. Seminar/laborator/proiect	S: Rezolvarea de probleme date ca teme de casă	Evaluarea temei de casă	10%
	L: Lucrări practice de laborator	Notare pe parcurs în cadrul lucrărilor de laborator și a temelor de casă	20%
9.6. Standard minim de performanță			
Nota examenului scris va trebui sa fie minim 5 și va avea o pondere de 70% din nota finală Media obținută în temele de casă de la seminar va avea o pondere de 10% din nota finală. Media obținută în lucrările de laborator trebuie sa fie minim 5 (finalizarea sarcinii minime pentru toate lucrările de laborator și temele de casă) va avea o pondere de 20% din nota finală. Bonusul de la curs va fi de maximum 1 punct la nota finală înainte de rotunjire. Minimul mediei ponderate este de 5.			

Data completării
01.10.2025

Titular de disciplină,
Ș.l.dr.ing. Eugen DUMITRAȘCU

Semnătura titularului

.....

Data avizării în departament
03.10.2025

Director de departament,
Ș.l.dr.ing. Nicolae ENESCU

Semnătura directorului de departament,

.....

Decan,
Prof.dr.ing. Dorin ȘENDRESCU

Semnătura decanului

.....